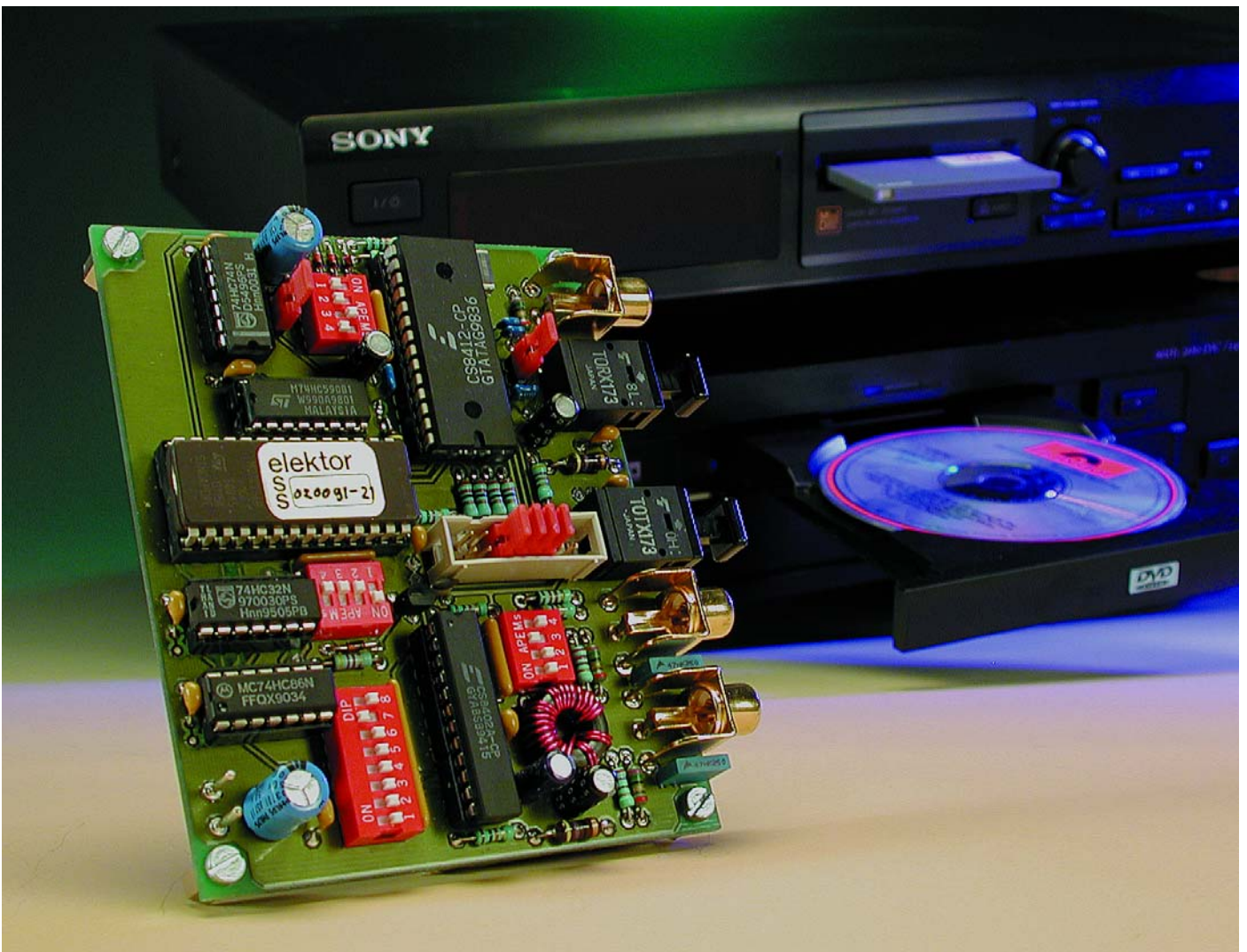


PAN, Processeur d'Audio Numérique

...et pas seulement pour les « copybits » !

C'est sur le trajet en S/PDIF entre deux appareils audionumériques (lecteur CD, enregistreur CD ou lecteur/enregistreur MD), que vous pourrez intercaler ce montage, pas uniquement pour juguler le copybit, mais pour modifier quantité de choses dans le signal audionumérique.



Le présent montage est destiné uniquement à l'enregistrement et au traitement d'œuvres musicales personnelles ou la copie numérique à usage privé, comme la copie protégée de DVD. La Rédaction ne désire en aucune manière favoriser un quelconque usage illégal de ce montage, par lequel les droits d'auteurs seraient bafoués. Les systèmes de protection contre le piratage tels que Cactus Data Shield, SafeAudio et Key2Audio font normalement usage des propriétés du lecteur, lesquelles ne peuvent être modifiées par le montage décrit ici.

À la différence des montages similaires publiés jusqu'à présent dans Elektor, cette nouvelle réalisation est bien plus qu'un simple « étrangleur » de copybit (*copybit-killer*). Il s'agit cependant de son application primaire, surtout depuis que nous avons constaté que, sur les DVD, le système SCM (*Serial Copy Management* = interdiction de copie en série) interdit même l'unique copie permise par la législation de nombreux pays européens. Le copybit constitue, pour de nombreux audiophiles désireux de faire leurs propres compilations ou de traiter des

signaux d'audio numérique, un boulet dont ils se seraient fort bien passé. Le présent montage à d'autres atouts dans sa manche. Ainsi par exemple la possibilité, éventuellement par recours au TNS (traitement numérique du signal, l'équivalent de DSP, *Digital Signal Processing*) d'intervenir sur les données audio. En outre, il peut passer du coaxial à la fibre optique et inversement, petit supplément qui rend l'appareil encore plus universel.

En ce qui concerne les manipulations des données audionumériques, ce n'est pas uniquement le copybit que l'on peut modifier, mais le contenu quasi-complet du registre d'état de canal (CS = *Channel Status*) dont le copybit fait partie. Seules les informations de fréquence d'échantillonnage, d'accentuation (*emphasis*) et de longueur de mot resteront intactes. Il est même possible de modifier le bit-utilisateur (*user-bit*) et le bit de validité (*validity-bit*). D'ailleurs, le bit utilisateur, on peut penser à l'effacer purement et simplement. Dans le format grand-public (*consumer*), on utilise les 2 canaux, ce qui se traduit par un flux de données de bits-utilisateurs de 88 200 bits/s dans le cas d'un CD. La fonction principale de ce circuit est l'adaptation du bit d'état de canal (CS). Il s'agit là d'un bit distinct tant dans la sous-trame 1 (*sub-frame*) que dans la sous-trame 2. En pratique cependant, les 2 blocs de donnée concernés se retrouvent avec la même information. Nombre de récepteurs ne contrôlent souvent que l'une des 2 sous-frames. On détermine ou modifie partant les données reçues pour les 2 sous-frames simultanément. La seule limitation du présent montage est que cette opération se fait au niveau du bloc d'état de canal (*channel-status block*) de 192 trames. Les données du canal-utilisateur ne présentent en

effet pas de correspondance avec la taille de ce bloc. Nous vous renvoyons, pour plus d'informations sur le sujet, à la spécification grand-public IEC60958-3. Le bit de validité est lui aussi présent dans chaque trame et pourra être modifié si nécessaire.

Le concept

C'est à dessein que nous avons opté pour une approche de concept la plus universelle possible de manière à offrir, à ceux d'entre nos lecteurs qui voudraient tenter leurs propres expériences, le maximum d'ouvertures. Un coup d'oeil au schéma complet de la **figure 3** montre que l'on se trouve en présence d'une électronique relativement complexe mais dont la majeure partie ne comporte qu'un petit nombre de circuits intégrés. Nous pouvons dire, si tant est que nous n'entrons pas dans les détails, que nous nous trouvons en présence d'une combinaison constituée d'un récepteur S/PDIF (*Sony/Philips Digital Interface Format*) intégré, IC1, et de l'émetteur correspondant, IC2, composants entre les sorties et entrées d'état de canal desquels (lignes CI, UI et VI de IC1 et VO, CO et UO de IC2) on trouve un compteur binaire, IC6 et une EPROM, IC9. C'est en fait ce dernier composant qui constitue le cœur et le cerveau de notre Processeur Audio Numérique, PAN pour les intimes. L'adjonction de 4 interrupteurs DIP (3 quadruples et 1 octuple) au système d'adressage de l'EPROM offre une possibilité de choix entre 16 tableaux possibles. Le **tableau 1** donne le paramétrage par défaut des 4 interrupteurs DIP, positions de contacts qui ont pour effet de faire travailler le PAN en supprimeur de copybit. Seuls les 3 premiers tableaux ont alors encore une fonction.

Récepteur et émetteur S/PDIF

IC1 et IC2 sont des circuits intégrés faisant partie du catalogue de Crystal Semiconductor (adresse Internet : www.cirrus.com) : le récepteur CS8412-CP et l'émetteur CS8402A-CP. De par l'utilisation de ces composants, le PAN convient pour des fréquences d'échantillonnage allant de 32 à 48 kHz. Nous avons déjà, par le passé, utilisé ces 2 circuits intégrés, raison pour laquelle nous vous renvoyons, pour de plus amples informations à leur sujet, à leur fiche de caractéristiques d'une part et aux montages donnés en références [1] et [2] de la bibliographie en fin d'article. Nous nous limiterons partant à une description succincte.

Le CS8412 est un circuit intégré CMOS spécialement conçu pour la réception et le décodage de données audio aux formats les plus courants de AES/EBU, IEC958, S/PDIF et

Tableau 1.

Paramétrage par défaut de tous les contacts des interrupteurs DIP et des cavaliers de court-circuit.

S1 :	S1-1 OFF	
	S1-2 OFF	
	S1-3 ON	
	S1-4 OFF	
S2 :	S2-1 OFF	
	S2-2 OFF	
	S2-3 ON	
	S2-4 N.C.	
S3 :	S3-1 OFF	
	S3-2 OFF	
	S3-3 OFF	
	S3-4 OFF	
	S3-5 OFF	
	S3-6 OFF	
	S3-7 ON	
	S3-8 OFF	
S4 :	S4-1 ON	
	S4-2 OFF	
	S4-3 OFF	
	S4-4 OFF	
JPI :	coax	
JP2 :	256	
K2 :	5-6	cavalier
	7-8	cavalier
	9-10	cavalier
	11-12	cavalier

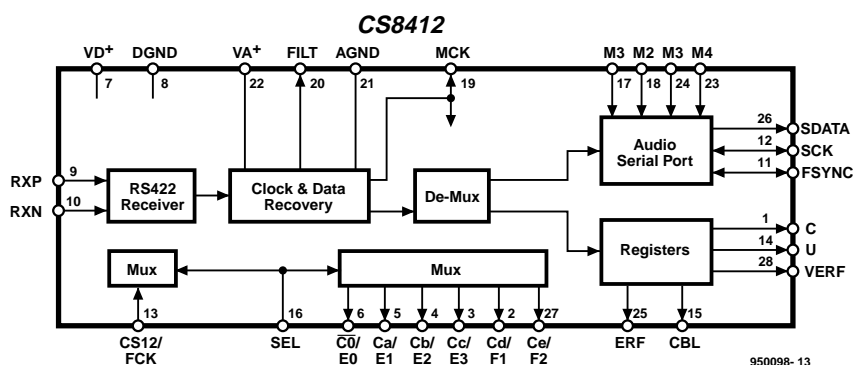


Figure 1. Structure interne du récepteur S/PDIF de type CS8412.

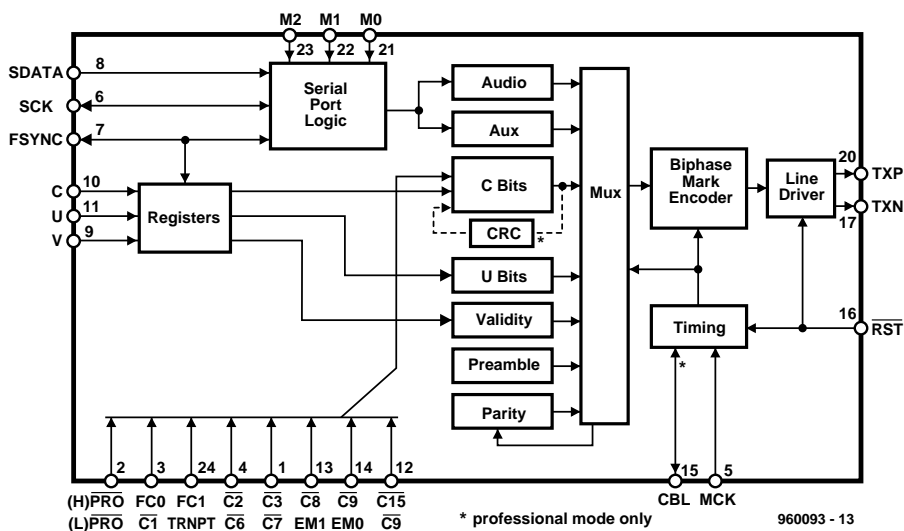


Figure 2. Les blocs de ce synoptique retraduisent la structure interne du CS8402A.

EIAJ CP340. Ce circuit intégré dont Crystal dit qu'il est un DAIR (*Digital Audio Interface Receiver*) reçoit le signal par le biais d'une interface sérielle RS-422 et en dérive les signaux d'horloge et de synchronisation. Le système supporte un suréchantillonnage de 256x vu que le signal de sortie est doté d'une fréquence d'horloge 256 fois supérieure à la fréquence d'échantillonnage utilisée. Ce composant puissant se charge en outre du démultiplexage des informations audio et numérique. Le CS8412 démultiplexe directement les données de canal (*channel*), utilisateur (*user*) et de validité (*validity*) et les envoie vers les sorties sérielles, dont certaines sont dédiées aux bits les plus importants de l'état de canal (C, U et VERF).

Les données audio sont transférées vers l'extérieur par le biais d'un port audio sériel qui supporte pas moins de 14 formats. Ces don-

nées sont disponibles sur les broches SCK, FSYNC et SDATA, sachant que 4 broches de commande, M0 à M3, permettent de définir la configuration de ces broches de sortie.

Comme le montre un coup d'oeil au schéma, l'organe de paramétrage de ces broches prend la forme d'un quadruple interrupteur DIP, S1. Nous vous proposons, en figure 1, le synoptique (simplifié) du CS8412.

Nous en arrivons au CS8402A, le DAIT (*Digital Audio Interface Transmitter*). Comme le donne à penser sa dénomination, ce circuit intégré a été conçu spécialement pour coder et envoyer, d'où son titre de « *transmitter* », les données audio en respectant les standards de l'interface évo-

quée plus haut.

Ce circuit intégré offre une possibilité de paramétrage des bits de canal d'état les plus importants par le biais de 7 entrées. On les retrouve, en bas à gauche du synoptique du CS8402A représenté en figure 2. Si l'on revient au schéma complet du montage en figure 3 on constate que ce paramétrage se fait par le biais d'un octuple interrupteur DIP, S3. Chacune de ces 7 entrées remplit une double fonction, l'état de la broche 2 (PRO) se chargeant de cette sélection. Cette entrée (commandée au travers du contact 8 de S3, d'où sa dénomination S3-8) sert en effet à faire fonctionner le circuit intégré soit en mode « Professionnel » (*professional*) soit en mode « grand-public » (*consumer*); quel que soit le mode adopté, les données se voient codées en respect des normes valant pour chacun d'entre eux. En mode « Professionnel », le contact S3-8 est alors ouvert, il est possible de générer un code CRC (*Cyclic Redundancy Check* = contrôle de redondance cyclique) (octet d'état de canal 23), situation rendue sous la forme d'un pointillé dans le schéma synoptique. L'entrée sérielle (broches 6 à 8) peut traiter 7 formats différents et des échantillons audio de 16 à 24 bits. La définition du format se fait par le biais des lignes M0 à M2; un coup d'oeil au schéma de la figure 3 montre qu'à nouveau il est fait appel, pour ce paramétrage, à un quadruple interrupteur DIP, S2. Les entrées sérielles de l'état de canal, C, de donnée utilisateur, U, et de validité, V, attaquent, au travers de quelques portes logiques, IC8 et IC9, l'EPROM IC7. Nous y reviendrons un peu plus loin.

L'examen de la figure 3 montre que la sortie symétrique TXP/TXN du CS8402A est convertie, par le biais du transformateur (à réaliser soi-même) Tr1, en 2 sorties S/PDIF standard, K3 et K4 (0,5 V_{cc} / 75 Ω). L'isolation galvanique introduite par le transformateur présente l'avantage additionnel d'éviter les boucles de masse. En outre, IC4 sert à créer une sortie optique.

Jongler avec les bits

Le cavalier JP1 permet de choisir le signal d'entrée à envoyer vers le

récepteur, coaxial ou optique. IC1 se charge du décodage, non seulement des données audio, mais aussi des bits U, C et V. La sortie VERF concerne le bit V (de validité) reçu, information ayant subi une fonction OU logique (OR) avec l'indicateur d'erreur interne ERF (Error Flag), signal activé en cas de détection d'une erreur de parité, d'une violation de codage biphase ou d'un non-verrouillage de la PLL du récepteur. Un bit V activé indique qu'il y a un problème au niveau de l'échantillon audio concerné, auquel cas cette

donnée peut être, au niveau du convertisseur N/A (DAC) ou de l'enregistreur, soit éliminée soit interpolée (à partir des données adjacentes).

Ces 3 bits attaquent un certain nombre de portes, IC8 et IC9, ce qui permet de définir 4 états par bit. Il est partant possible, pour chacun des bits (mais également de chaque sous-trame), de transmettre le bit concerné tel quel (inchangé), inversé, voire forcé à « 1 » ou à « 0 ». Une paire de bits de données de

l'EPROM, une porte OU et une porte EXOR permettent de créer les 4 combinaisons : D0/D1 pour le bit d'état de canal, D2/D3 pour le bit de canal utilisateur et D4/D5 pour le bit de validité.

Prenons, à titre d'exemple, les combinaisons de D0/D1 pour le bit C. Si la combinaison est 0/0 (inchangé), CI passe par la porte OU IC8.A et EXOR IC9.A, sans subir de modification. Dans le cas d'un 1/0 (forcé à « 1 ») : on aura un « 1 » aux sorties de 2 portes. 0/1 (inversé) : CI passe sans encombre par la porte OR mais est inversé par la porte EXOR. 1/1 (forcé à « 0 ») : on trouve un « 1 » en sortie de la porte OR, niveau inversé par la porte

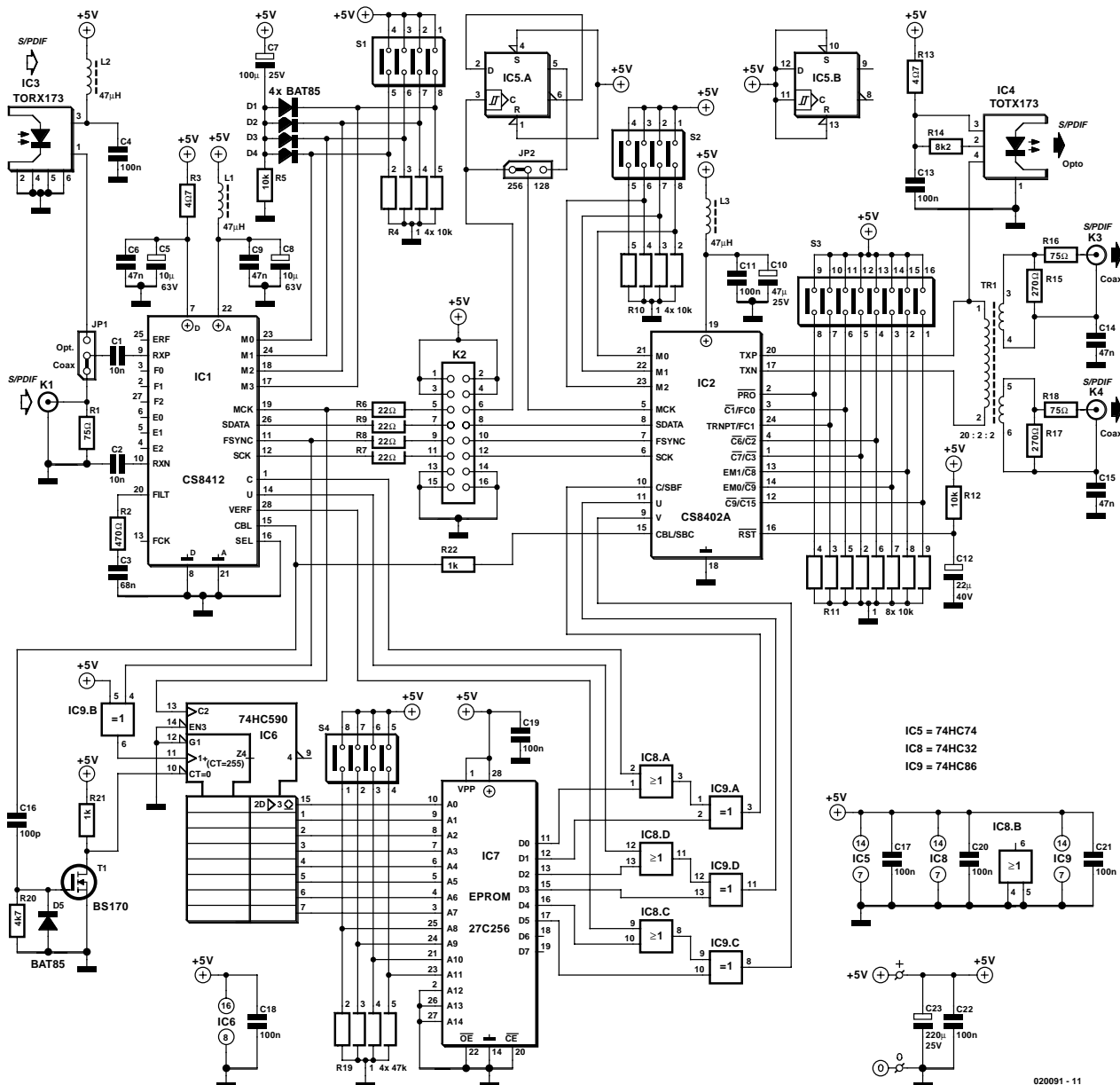


Figure 3. Nous avons essayé de proposer un concept aussi universel que possible. Les 4 interrupteurs DIP utilisés ici permettent de réaliser pratiquement chaque traitement imaginable.

Tableau 2. Contenu des champs du bloc d'état de canal pour le format « grand-public ».

EXOR à la sortie de laquelle on trouvera partant un « 0 ».

Les sorties des portes sont reliées aux entrées de même nom de l'émetteur. Il faut, pour pouvoir mettre ces bits à contribution, que l'émetteur soit paramétré en mode « Professionnel » (S3-8 ouvert, OFF) et en mode transparent (S3-7 fermé, ON). Le reste des contacts de l'interrupteur S3 ne remplit plus de fonction.

L'adressage de l'EPROM fait appel à un compteur binaire à 8 bits à registre de sortie, IC6, un 74HC590. L'horloge servant à cadencer le compteur est dérivée, après inversion, du signal de synchronisation de trame FSYNC (*Frame SYNChronisation*). Le fait d'utiliser, pour le cadencement du registre de sortie, le signal MCK (*Master Clock* = horloge-maître) fait que l'adresse de la trame suivante n'est active qu'après que l'émetteur ait déjà verrouillé la seconde sous-trame (droite), une partie de décalage dû aux durées de transfert de la porte EXOR, du compteur et de l'EPROM. La synchronisation du compteur pour chaque nouveau bloc d'état de compteur utilise la sortie CBL (*Channel Status Block*) du récepteur. On envoie une impulsion de remise à zéro à l'entrée CC (*Counter Clear*) du compteur, impulsion obtenue à l'aide du réseau différentiel R20/C16, du transistor T1 et de la résistance R21, de sorte que le redémarre à 0 (ce qui se passe après 192 trames). Sachant, qu'au niveau de l'émetteur, le signal CBL pourrait, en fonction du mode adopté, aussi fort bien être une sortie, cette ligne est dotée d'une résistance, R22, prise en série, de sorte qu'il n'y a pas de risque de ce côté.

Les données en EPROM

Le facteur le plus important de cette réalisation est la définition des données à mettre en EPROM. Il nous faut pour cela connaître la composition du bloc d'état de canal (CSB). Le **tableau 2** vous en propose le contenu pour le format « grand-public ». Le **tableau 3** ajoute des informations succinctes concernant les différents bits. Le **tableau 4** montre pour finir la structure du bloc d'état de canal (CS) en aval de son traitement par l'électronique (mise au paramétrage par défaut), ce qui correspond au second tableau de l'EPROM. Dans ce dernier tableau, INP représente le bit d'ori-

Tableau 3. Signification succincte des différents bits pour expliciter les informations du tableau 2.

Tableau 2

Byte		Consumer format channel status fields						
0	Pro/con = 0	Non-audio = 0	Copyright	Emphasis			Channel status mode = 00	
	bit 0	1	2	3	4	5	6	7
1	Category code							
	bit 8	9	10	11	12	13	14	15
2	Source number			Channel number				
	bit 16	17	18	19	20	21	22	23
3	Sampling frequency			Clock accuracy				
	bit 24	25	26	27	28	29	30	31
4	Word length			(Future original sampling frequency?)				
	bit 32	33	34	35	36	37	38	39
5-23	Reserved							
	bits 40-191							

Tableau 3

Consumer format channel status field interpretations																							
Bits	label	interpretation																					
0	pro/con	0: consumer; 1: professional format																					
1	non-audio	0: suitable for conversion to analog audio using linear PCM 1: not suitable																					
2	copyright	0: asserted; 1: not asserted																					
3-5	emphasis	000: Emphasis not indicated 100: emphasis—CD-type																					
6-7	channel status mode	00: mode zero; other values reserved																					
8-15	category code	The category code depends on the equipment type. For most codes the MSB of the category code carries information about generation status of the material (refer to SCMS), and is called the L-bit. The following are common codes: <table border="0" style="margin-left: 20px;"> <tr> <td></td> <td>LSB</td> <td>MSB</td> </tr> <tr> <td>CD player</td> <td>1000</td> <td>0000</td> </tr> <tr> <td>DAT player</td> <td>1100</td> <td>000L</td> </tr> <tr> <td>DCC player</td> <td>1100</td> <td>001L</td> </tr> <tr> <td>Mini disc</td> <td>1001</td> <td>001L</td> </tr> </table>		LSB	MSB	CD player	1000	0000	DAT player	1100	000L	DCC player	1100	001L	Mini disc	1001	001L						
	LSB	MSB																					
CD player	1000	0000																					
DAT player	1100	000L																					
DCC player	1100	001L																					
Mini disc	1001	001L																					
16-19	source number	(bit 16 is LSB)																					
20-23	channel number	(bit 20 is LSB)																					
24-27	sampling frequency	0000: 44.1 kHz 0100: 48 kHz 1100: 32 kHz																					
28-29	clock accuracy	10: Level I, ±50 ppm 00: Level II, ±1000 ppm 01: Level III, variable pitch shifted																					
30-31	reserved																						
32	word length (field size)	0: Maximum length 20 bits 1: Maximum length 24 bits																					
33-35	word length	<table border="0" style="margin-left: 20px;"> <tr> <td>000:</td> <td>if bit 32 = 1</td> <td>if bit 32 = 0</td> </tr> <tr> <td>101:</td> <td>not indicated</td> <td>not indicated</td> </tr> <tr> <td>24 bits</td> <td></td> <td>20 bits</td> </tr> <tr> <td>001:</td> <td>24 bits</td> <td>19 bits</td> </tr> <tr> <td>010:</td> <td>23 bits</td> <td>18 bits</td> </tr> <tr> <td>011:</td> <td>22 bits</td> <td>17 bits</td> </tr> <tr> <td>100:</td> <td>21 bits</td> <td>16 bits</td> </tr> </table>	000:	if bit 32 = 1	if bit 32 = 0	101:	not indicated	not indicated	24 bits		20 bits	001:	24 bits	19 bits	010:	23 bits	18 bits	011:	22 bits	17 bits	100:	21 bits	16 bits
000:	if bit 32 = 1	if bit 32 = 0																					
101:	not indicated	not indicated																					
24 bits		20 bits																					
001:	24 bits	19 bits																					
010:	23 bits	18 bits																					
011:	22 bits	17 bits																					
100:	21 bits	16 bits																					
36-39	reserved																						
40-191	reserved																						

Tableau 4

Le contenu du bloc d'état de canal après son passage par le Processeur Audio Numérique (avec le paramétrage par défaut).

	LSB						MSB	
Octet 0	0	0	1	INP	INP	INP	0	0
Octet 1	1	1	0	0	0	0	0	0
Octet 2	0	0	0	0	0	0	0	0
Octet 3	INP	INP	INP	INP	0	0	0	0
Octet 4	INP	INP	INP	INP	0	0	0	0
Oct. 5 à 23	0	0	0	0	0	0	0	0

griller dans l'EPROM du **tableau 5** (MSB/LSB : U => 00, 1 => 01, 0 => 11).

Le tableau 5 se trouve dans l'EPROM en tant que second tableau (S4-1 fermé, ON). Le premier tableau (S4-1/2/3/4 ouverts, OFF) permet le passage sans la moindre modification de toutes les données, cas dans lequel tous les bits de donnée de l'EPROM se trouvent à « 0 ». Nous avons, à titre d'extra, ajouté le 3^{ème} tableau (S4-1/3/4 ouverts, S4-2 fermé) qui force le bit de validité en permanence à « 1 ». Nous n'avons pas testé

Tableau 5

Conversion des données du tableau 4 en information binaire à mettre dans l'EPROM.

Octet 0	00000011	00000011	00000001	00000000	00000000	00000000	00000011	00000011
Octet 1	00000001	00000001	00000011	00000011	00000011	00000011	00000011	00000011
Octet 2	00000011	00000011	00000011	00000011	00000011	00000011	00000011	00000011
Octet 3	00000000	00000000	00000000	00000000	00000011	00000011	00000011	00000011
Octet 4	00000000	00000000	00000000	00000000	00000011	00000011	00000011	00000011
Octet 5 à 23	00000011	00000011	00010011	00000011	00000011	00000011	00000011	00000011

(Tous les bits C à compter du quartet (nibble) de poids fort (MSB) à partir de l'octet 4 sont mis à « 0 »).

gine du signal d'entrée (INPUT). Nous avons opté, en ce qui concerne le code de catégorie, le format DAT sachant que, par le passé, c'est celui qui nous a posé le moins de problèmes. Le reste des informations

est suffisamment explicite.

Si nous traduisons les bits individuels du tableau 4 en combinaisons de bits à mettre dans l'EPROM, cela nous donne, en association avec le choix des bits U et V, les données à

d'enregistrer qui décrochèt dans ces conditions (le reste du contenu de ce tableau est identique au second tableau de l'EPROM). Ceux d'entre nos lecteurs qui en auraient les moyens peuvent expérimenter avec les 13 tableaux restants.

Option supplémentaire

Comme nous le montre la figure 3, la transmission des données audio du récepteur vers l'émetteur transite par le biais de l'embase K2. Ceci explique qu'il faille ponter, à l'aide d'un cavalier, certaines paires de broches pour assurer le transfert de 4 des signaux (cf. tableau 1).

La présence de cette embase offre des possibilités de traitement additionnel des données audio, à l'aide d'un PNS (Processeur Numérique de Signal = DSP pour *Digital Signal Processor*). Le format de données dépend bien entendu du paramétrage choisi au niveau du récepteur (par défaut format 2, compatible I²S).

À vos fers !

Il est temps maintenant de passer au « Grand-Oeuvre », la réalisation. Nous avons dessiné une platine double face à trous métallisés pour réduire au strict indispensable le nombre de ponts de câblage nécessaire (le risque d'oubli est en relation directe avec leur nombre). La **figure 4** vous en propose le dessin des pistes et la sérigraphie de l'implantation des composants. Comme vous

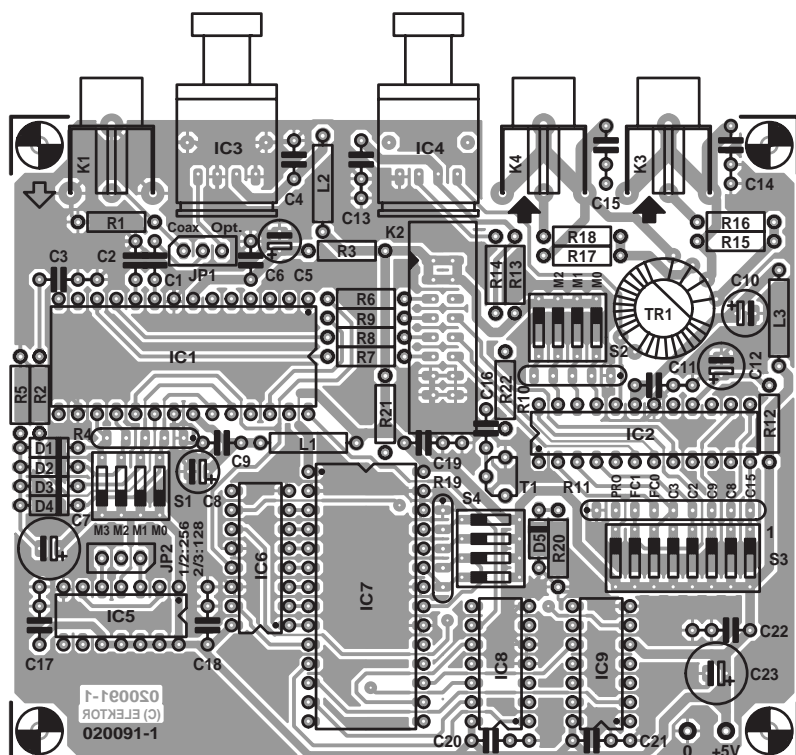


Figure 4. La platine double face à trous métallisés est, bien que relativement compacte, facile à réaliser.

Liste des composants

Résistances :

R1,R16,R18 = 75 Ω
 R2 = 470 Ω
 R3,R13 = 4 Ω 7
 R4,R10 = réseau de 4 résistances de 10 k Ω
 R5,R12 = 10 k Ω
 R6...R9 = 22 Ω
 R11 = réseau de 4 résistances de 10 k Ω
 R14 = 8k Ω 2
 R15,R17 = 270 Ω
 R19 = réseau de 4 résistances de 47 k Ω
 R20 = 4k Ω 7
 R21,R22 = 1 k Ω

Condensateurs :

C1,C2 = 10 nF céramique au pas de 5 mm
 C3 = 68 nF
 C4 = 100 nF céramique au pas de 5 mm
 C11,C13,C17 à C22 = 100 nF céramique
 C5,C8 = 10 μ F/63 V radial
 C6,C9 = 47 nF céramique au pas de 5 mm
 C7 = 100 μ F/25 V radial
 C10 = 47 μ F/25 V radial
 C12 = 22 μ F/40 V radial
 C14,C15 = 47 nF
 C16 = 100 pF
 C23 = 220 μ F/25 V radial

Selfs :

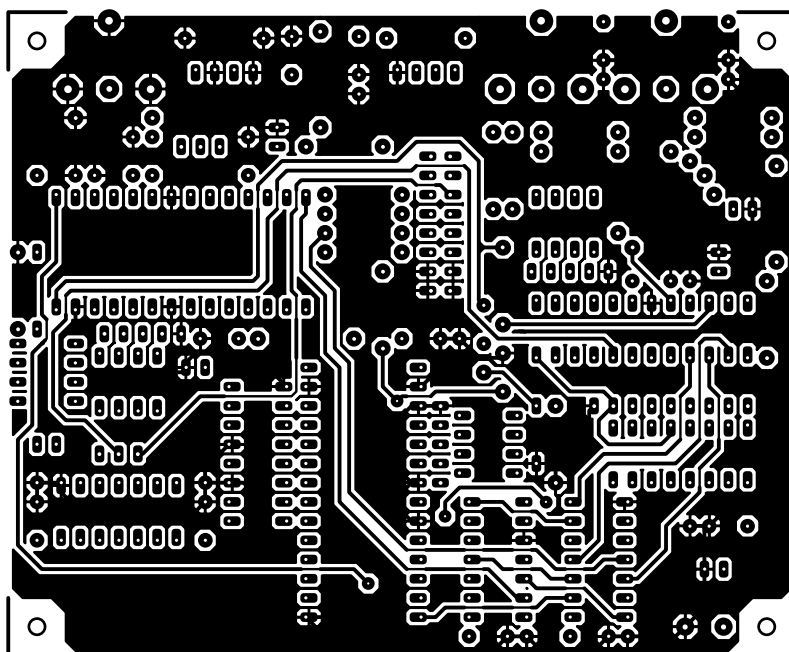
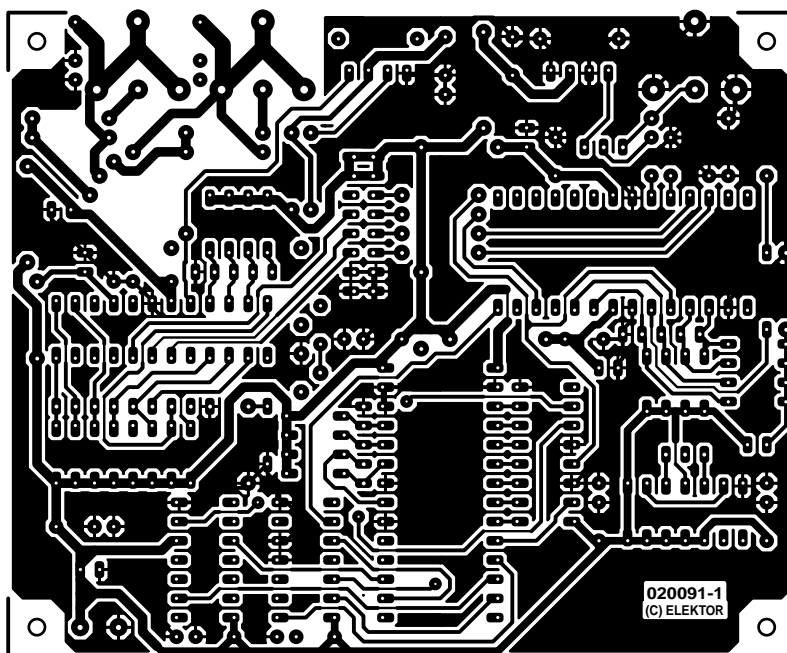
L1 à L3 = 47 μ H

Semi-conducteurs :

DI à D5 = BAT85
 T1 = BS170
 IC1 = CS8412-CP (Crystal/Cirrus Logic, RS-components)
 IC2 = CS8402A-CP (Crystal/Cirrus Logic, RS-components)
 IC3 = TORX173 (Toshiba)
 IC4 = TOTX173 (Toshiba)
 IC5 = 74HC74
 IC6 = 74HC590
 IC7 = EPROM 27C256 programmée
 (EPS020091-21)
 IC8 = 74HC32
 IC9 = 74HC86

Divers :

JP1,JP2 = embase autosécable mâle à 3 contacts + cavalier
 K1,K3,K4 = embase Cinch encartable telle que, par exemple, T-709G (Monacor)
 K2 = embase HE-10 mâle à 2 rangées de 8 contacts + 4 cavaliers
 S1,S2,S4 = quadruple interrupteur DIP
 S3 = octuple interrupteur DIP
 Tr1 = primaire : 20 spires, secondaire : 2 x 2 spires, le tout de fil de cuivre émaillé de 0,5 mm de diamètre, sur tore de ferrite TN13/7,5/5-3E25 (Ferroxcube)



ne manquez pas de le constater, la platine est, bien que compacte, très « lisible ». Nous avons, pour peu que nous en ayons eu la place, indiqué à même la platine, au niveau des interrupteurs DIP et des embases à cavalier, les fonctions des organes correspondants. Attention à S1 où le contact S1-4 correspond à M0. Les embases Cinch et les connecteurs optiques se trouvent sur le même bord de platine, ce qui ne peut que simplifier la mise de cette platine

quates.

La mise en place des composants ne devrait guère poser de problème vu l'absence de composants CMS ou autres sujets exotiques. Les circuits intégrés pourront prendre place dans un support. On notera l'absence de composants côté « pistes ». Petit ouvrage « fait main », le bobinage du transformateur Tr1. Mais ici, il ne s'agit pas de broderie. Le noyau est un Ferroxcube (autrefois Philips) du type TN13/7,5/5-3E25. L'enroulement primaire se compose de

20 spires et les deux secondaires chacun de 2 spires de fil de cuivre émaillé de 0,5 mm de diamètre. Les spires du primaire doivent être régulièrement réparties sur le noyau, en laissant un peu de place au milieu pour y bobiner les deux secondaires, ce que la **figure 5** illustre avec précision.

Il sera temps, une fois que l'on a terminé la mise en place des composants et que l'on aura contrôlé son travail en se référant à la sérigraphie et à la liste des composants, de brancher une source de tension fournissant 5 V entre les points identifiés par un « 0 » (masse) et « +5V » (pôle positif de l'alimentation). On pourra utiliser à cet effet toute alimentation si tant est qu'elle fournisse une tension correctement régulée et qu'elle soit en mesure de fournir un courant d'au moins 100 mA.

Une fois l'alimentation connectée, il est judicieux de vérifier au multimètre la présence aux bornes des condensateurs C5 et C10 de la tension requise, à savoir +5 V. Si ce test est concluant, il est fort probable que le reste de la réalisation soit OK. Si vous deviez constater des problèmes en cours d'utilisation il est plus que probable que ceux-ci soient dus à une erreur en cours de réalisation et qu'il faudra partant révéifier consciencieusement l'ensemble de la platine (court-circuit par une patte de composant restée trop longue, mauvaise soudure qui a pu lâcher, etc. la liste des sources potentielles de disfonctionnement est extensible à volonté).

Nous n'avons pas indiqué, sur le schéma, de points de mesure ou de tensions de test vu qu'à l'exception de la ligne d'alimentation, le reste des signaux est de type numérique. Il est fort probable, pour peu que l'on ait, lors de la réalisation, travaillé avec le soin requis, que le montage fonctionne du premier coup, dès la mise sous tension.

(020091)

Bibliographie

- [1] **Vu-mètre numérique**,
Elektor n° 214, avril 1996,
page 18 et suivantes
- [2] **Convertisseur de taux d'échantillonnage**
Elektor n° 220,
octobre 1996, page 20 et suivantes

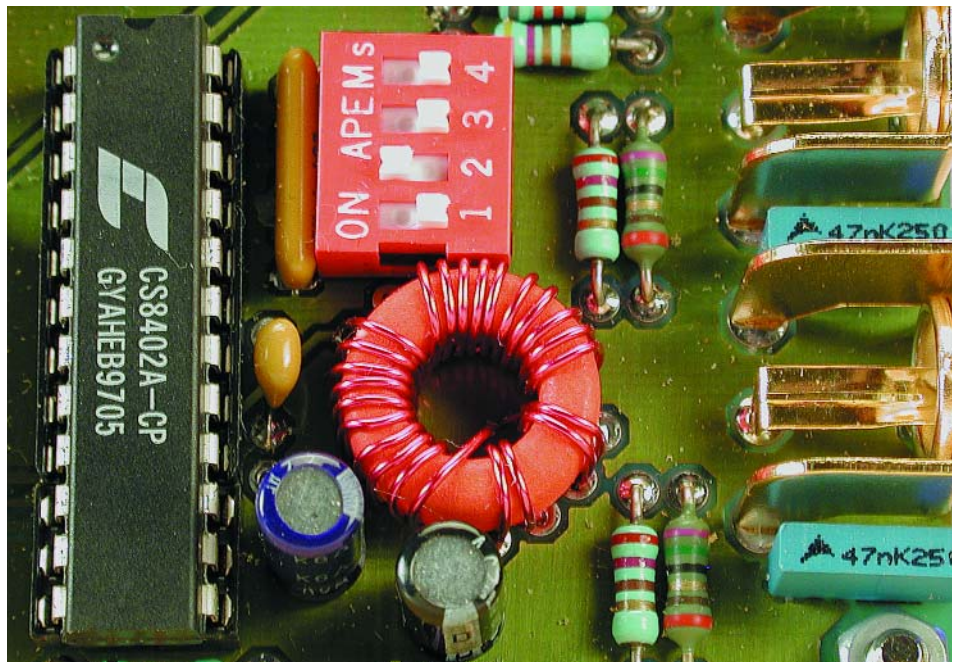


Figure 5. Le coeur du transformateur TrI est un tore de ferrite.

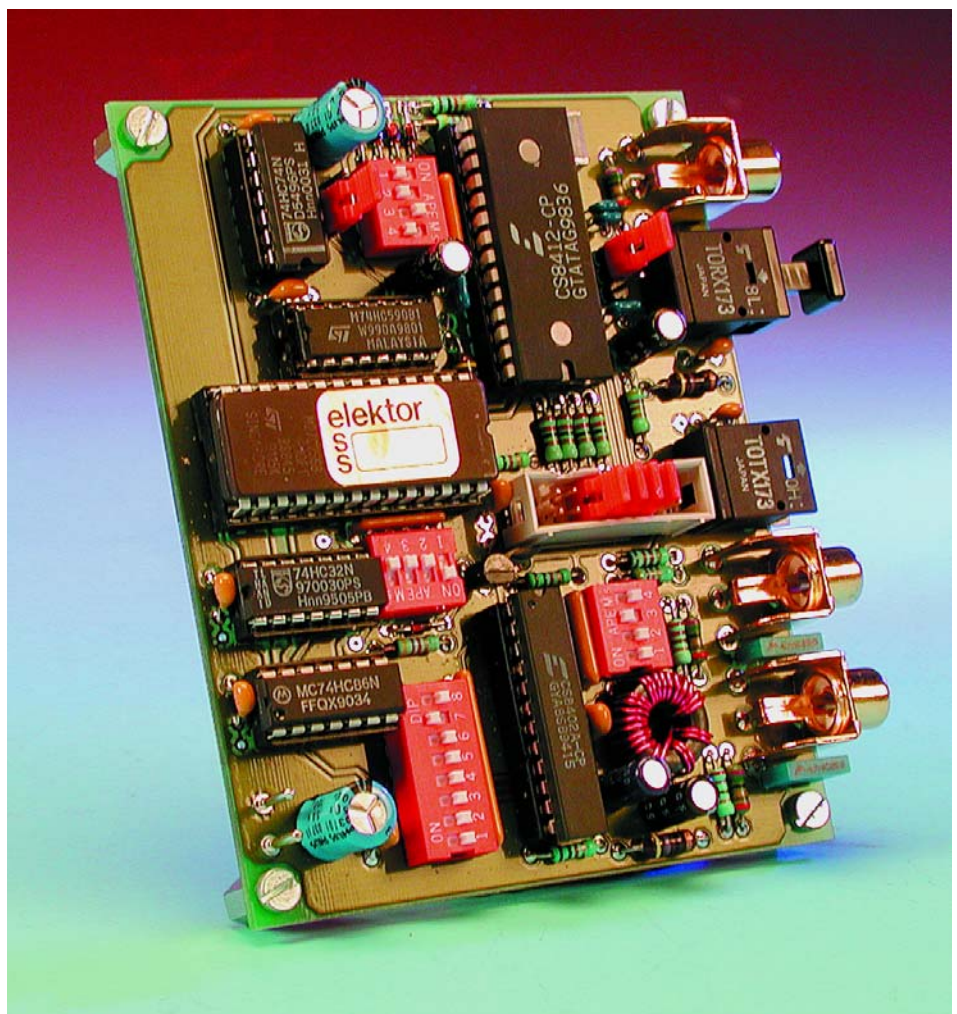


Figure 6. Si vous n'avez pas fait d'erreur, votre circuit imprimé terminé devrait être un frère-jumeau de notre prototype.